

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-221907

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

G11B 20/14

(21)Application number : 07-030714

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CORP

(22)Date of filing : 20.02.1995

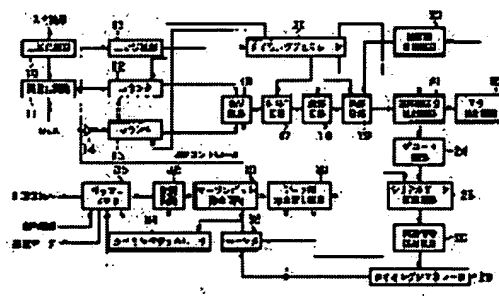
(72)Inventor : KAWAMOTO KOTARO
KOBAYASHI AKIRA

(54) DIGITAL DATA PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To stably allows the reading out of data registive against noise with a low error rate without utilizing a PLL circuit for generating a clock even when the fluctuation of a transfer speed at the transfer origin covers over a wide range.

CONSTITUTION: The inverting interval of an input signal is counted by means of a fixed clock in counters 12, 13, the counted result is calculated through a multiplying circuit 18 and a divider circuit 19 and made to become a value capable of performing the comparison of the respective signal components with a digital signal format in a detecting circuit 21 for arithmetic value component. The value is decoded in a decoding circuit 24 and the discrimination of an inverted length with the digital signal format is enabled in a serial data converter circuit 25, a synchronization detecting circuit 26 and a data part sampling circuit 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-221907

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14	3 5 1	9463-5D	G 1 1 B 20/14	3 5 1 A

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21)出願番号 特願平7-30714

(22)出願日 平成7年(1995)2月20日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029

東芝エー・ブイ・イー株式会社
東京都港区新橋3丁目3番9号

(72)発明者 河本 浩太郎

東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内

(72)発明者 小林 明

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

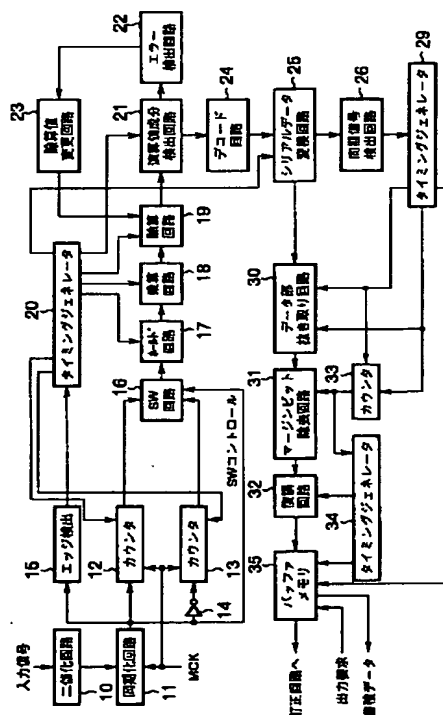
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 デジタルデータ処理回路

(57)【要約】

【目的】データ転送元の転送速度変動が広範囲に及ぶ場合でもノイズに強く安定した低エラーレートのデータ読み取りを可能とする、クロック生成用のPLL回路を使用せず、データの読み取りを可能とする。

【構成】カウンタ12、13で、入力信号の反転間隔を固定クロックによってカウントし、そのカウント結果を乗算回路18、除算回路19に通して演算を行い、演算値成分検出回路21でデジタル信号フォーマットの各信号成分比較の行える数値になるようにし、この数値をデコード回路24でデコードし、シリアルデータ変換回路26、同期検出回路26、データ部抜き取り回路30において、デジタル信号フォーマットにのった反転長の判別ができるようにする。



【特許請求の範囲】

【請求項1】 デジタル変調されたアナログデータ信号を二値化し二値化信号を得る二値化手段と、
 前記二値化信号をマスタークロックに同期させる同期化手段と、
 前記二値化信号の反転位置であるエッジを検出しエッジ検出信号を得るエッジ検出手段と、
 前記エッジ検出信号を基準にしてタイミングを図る第1の制御信号を発生する第1のタイミング手段と、
 前記二値化信号のハイレベル（H）及びローレベル（L）期間のそれぞれの時間をクロック数によって計数する計数手段と、
 前記カウンタ手段によって計数された、前記二値化信号の前記HあるいはL期間のいずれかの計数値を選択するスイッチ手段と、
 前記スイッチ手段により選択された計数値をホールドするホールド手段と、
 前記ホールド手段でホールドされた値を整数値であるNでN倍の演算を行う乗算手段と、
 前記N倍の演算を行った値を整数値である $N + \beta$ で $1 / (N + \beta)$ 倍の演算を行い演算値成分を得る除算手段と、
 前記 $1 / (N + \beta)$ 倍の演算により得た前記演算値成分と、所定の比較成分とを比較することによって前記演算値成分に対応した検出値を検出する演算値成分検出手段と、
 前記演算値成分に対応する前記検出値を検出するときに、設定されたデジタル変調フォーマットの各成分に相当する前記演算値成分以外の値の演算値成分が入力されたことを検出しエラー検出信号を得るエラー検出手段と、
 前記エラー検出信号によって設定値が変わり、前記設定値を前記 $1 / (N + \beta)$ 倍を行う除算手段にセットする変更手段と、
 前記演算値成分に対応した前記検出値をデコードするデコード手段と、
 前記デコード手段によりデコードされた数値を連続したシリアルデータに変換するシリアルデータ変換手段と、
 前記連続したシリアルデータから入力されたデジタルデータの同期信号を検出する同期信号検出手段と、
 前記同期信号の検出状態によってタイミングを図る第2の制御信号を発生する第2のタイミング手段と、
 前記連続したシリアルデータから同期信号間のデータを抜き取るデータ部抜き取り手段と、
 前記データ部抜き取り手段により抜き取られたデータを所定のフォーマットで復調部に送る手段と、
 前記復調部で復調されたデータをメモリに蓄積する手段とを有することを特徴としたデジタルデータ処理回路。

【請求項2】 前記演算値成分検出手段は、
 前記設定されたデジタル変調フォーマットの各成分に相

当する前記演算値成分に対応する前記検出値をサーチする場合、1つの演算値成分に対応する前記検出値としては複数が用意されており、かつこの複数の検出値は少なくとも中心値、上限値、下限値からなり前記エラー検出手段は、
 前記設定されたデジタル変調フォーマットの各成分に相当する前記演算値成分が、比較対象とするそれぞれの前記複数の検出値のなかの中心値より一定幅以上大であるのか小であるのかを判別する中心値以上／以下検出手段と、
 前記中心値以上／以下検出手段が一定周期内に前記大／小を判別した数をカウントする第1のカウンタ手段と、
 前記第1のカウント手段によりカウントされた大小カウンタ数の差を比較し、前記差が一定値以上になった場合にエラー信号を発生する差分検出手段と、
 前記設定されたデジタル変調フォーマットの各成分に相当する演算値成分以外の値を検出するフォーマット以外検出手段と、
 一定周期内に前記フォーマット以外検出手段が前記演算値成分以外の値を検出した数をカウントし、カウンタ数が一定値以上になった場合にエラー信号を発生する第2のカウンタ手段とを有し、
 前記変更手段は、
 前記第2のカウンタ手段と前記差分検出手段からのエラー信号に応じて設定値が変わり、前記設定値を $1 / (N + \beta)$ 倍の演算を行う除算手段にセットする手段とを有することを特徴とした請求項1記載のデジタルデータ処理回路。

【請求項3】 前記乗算手段は、
 前記N倍の演算を行った値を、更に整数値であるMでM倍の演算を行う手段を更に有し、
 前記除算手段は、
 前記M倍の演算を行った値を、整数値である $M \pm \alpha$ で $1 / (M \pm \alpha)$ 倍の演算を行い、前記 $1 / (N + \beta)$ 倍の演算を行う手段に出力する手段を更に有し、
 前記演算値成分検出手段は、
 前記設定されたデジタル変調フォーマットの各成分に相当する前記演算値成分に対応する前記検出値をサーチする場合、1つの演算値成分に対応する前記検出値としては複数が用意されており、かつこの複数の検出値は少なくとも中心値、上限値、下限値からなり前記エラー検出手段は、
 前記設定されたデジタル変調フォーマットの各成分に相当する、前記 $1 / (N + \beta)$ 倍の演算を行った演算値成分が、比較対象とするそれぞれの前記複数の検出値のなかの中心値より一定幅以上大であるのか小であるのかを判別する中心値以上／以下検出手段と、
 前記中心値以上／以下検出手段が一定周期内に前記大／小を判別した数をカウントする第1のカウンタ手段と、
 前記第1のカウント手段によりカウントされたの大小カ

ウント数の差を比較し、前記差が一定値以上になった場合にエラー信号を発生する差分検出手段とを有し、

前記変更手段は、

前記第2のカウンタ手段からのエラー信号に応答してよって設定値が変わり、前記設定値を前記 $1/(M \pm \alpha)$ 倍の演算を行う手段にセットする手段とを有することを特徴とした請求項1記載のデジタルデータ処理回路。

【請求項4】前記二値化信号が一時的に停止した場合に発生する前記計数手段のオーバーフローを検出し、そのオーバーフロー検出信号を前記第1のタイミング手段に

入力するオーバーフロー検出手段を更に有し、前記タイミング手段は、前記オーバーフロー検出信号が入力したときに、前記エラー検出手段及び前記変更手段の処理を停止させ、現状を維持させる制御信号を出力することを特徴とする請求項1記載のデジタルデータ処理回路。

【請求項5】前記乗算手段及び除算手段は前記数値Nとして、

前記 $1/(N + \beta)$ 倍の演算を前記 $1/(N + 1)$ 倍から最大演算値の $1/N$ 倍に変更した場合でも、前記演算値成分検出手段が、前記設定されたデジタル変調フォーマットの最長成分の演算値成分を検出するのを可能とする数値Nを備えることを特徴とする請求項1記載のデジタルデータ処理回路。

【請求項6】前記エラー検出手段は、

更に前記設定されたデジタル変調フォーマットの各成分に相当する演算値成分以外の値を検出するフォーマット以外検出手段と、

一定周期内に前記フォーマット以外検出手段が前記演算値成分以外の値を検出した数をカウントし、カウント数が一定値以上になった場合にエラー信号を発生するカウンタ手段とを有し、

前記変更手段は、

更に前記カウンタ手段からのエラー信号に応答して設定値が変わり、前記設定値を $1/(N + \beta)$ 倍の演算を行う除算手段にセットする手段とを有し、

前記演算値成分検出手段で用意されている前記複数の検出値の用意数Wと、前記設定されたデジタル変調フォーマットの最長成分の積値が、前記Mに選定されていることを特徴とする請求項3記載のデジタルデータ処理回路。

【請求項7】前記変更手段は、前記 α の値が一定値を越えた場合、前記 β の値を変更して設定値を得る手段をさらに有することを特徴とする請求項3記載のデジタルデータ処理回路。

【請求項8】前記シリアルデータ変換手段、同期信号検出手段、第2のタイミング手段、データ部抜き取り手段には、更に同期保護信号書き込み手段が付加されており、

前記同期信号検出手段は、

前記シリアルデータ変換手段のシリアルデータの先行する前同期信号と、この前同期信号から所定ビット間隔を置いた次の後同期信号、さらには特定パターンの保護信号を検出できる手段を有し、

前記第2のタイミング手段は、

前記前同期信号または前記保護信号が検出されたときは、その後部に続く前記所定ビットのデータを前記データ部抜き取り手段が取り込むためのタイミング信号を出力し、次に前記後同期信号が検出されているかどうかの判定を行い、前記後同期信号が検出されていない場合には、前記同期保護信号書き込み指令信号を出力する手段を有し、

前記同期保護信号書き込み手段は、前記第2のタイミング手段から前記同期保護信号書き込み指令信号が出力されたときに、前記後同期信号が存在すべき位置の前に特定パターンの保護信号を付加する手段を有することを特徴とする請求項1記載のデジタルデータ処理回路。

【請求項9】前記デジタル変調されたアナログデータは、デジタル記録ディスク再生装置の記録媒体からの信号であることを特徴とする請求項1記載のデジタルデータ処理回路。

【請求項10】設定値を前記除算手段に設定する変更手段は、外部からの演算情報も入力可能であることを特徴とする請求項1又は3のいずれかに記載のデジタルデータ処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、所定のフォーマットのデジタル信号を再生する際に、所定のデジタル変調されたデータを二値化した後、その反転間隔をクロックによってカウントし、そのカウント数を所定のフォーマットで規定された信号値と比較できるように演算を行うことにより、VCOを用いたPLL回路によるデータの読み取りを行わず、データの処理を可能とする技術に関する。

【0002】

【従来の技術】従来のディスク再生装置におけるデータ読み取りの技術例を図20に示す。外部から入力されてきたデジタル信号を再生する場合、そのデジタル信号は、データ転送元の転送速度変動や信号の位相が不明であるため、入力された信号処理回路とは同期がとれていない。そこで、入力信号との同期を取り信号処理を可能とするため、従来ではデータ転送元からの入力信号を二値化回路1で二値化した後、信号が反転する波形のエッジと、電圧制御発振器(VCO)回路4によって発生させられる発振波形を1/2分周回路5を通した波形のエッジとを位相比較器2によって比較し、その位相誤差を現す誤差信号を得る。そしてこの誤差信号を比較出力増幅回路3によって増幅し、VCO回路4の制御端子に入力することで、二つの波形のエッジ位相が一致するよう

にPLL回路を動作させている。

【0003】入力データの読み取りは、データ読み取り回路6によって行われ、入力信号の反転間隔を入力信号エッジと同期した1/2分周回路5からのクロック出力によってカウントし、そのカウント数を入力信号の読み取りデータ（ビット長）としている。その読み取りデータ中に含まれる同期信号は、同期パターン検出回路7によって検出される。検出した同期信号を基準にして信号処理回路8、復調回路9が動作し、読み取られたデータからデジタル信号フォーマットに含まれるデータを読み取っている。

【0004】データ転送元の転送速度が広範囲に変化する場合には、その変化範囲に対応したVCO周波数の可変範囲が必要となる。しかしながら発振周波数が広範囲に変化するVCO回路4を作成すると、VCO回路4をコントロールする電圧と、その電圧を入力されたことによって発生する発振周波数の直線性を保つことは難しくなり、周波数範囲の上限と下限でのPLL回路としてのループ特性に変化が現れてくる。すると、ループ特性の変化によって変動抑圧度の不足やループの発振を引き起こす可能性が発生するため、VCO回路4をコントロールする比較出力増幅回路3には、ゲイン変動を防止する補正回路が必要になる。

【0005】また、VCO回路4の発振周波数を広範囲に変化できることを可能としたために、小入力での周波数変動幅が相対的には大きくなる。このことは、VCO回路4の周波数変化が電源や入力ノイズ等に対してより大きくなることを意味し、ノイズに弱いPLL回路構成となり、1/2分周回路5の出力クロックが入力信号のエッジに対して同期しにくくなり、誤ったデータの読み取りを行う率が高くなる。

【0006】

【発明が解決しようとする課題】データ転送元の転送速度変動が広範囲に及ぶ場合には、VCO回路の周波数可変範囲を広くとる必要があり、VCO回路をコントロールする電圧とその電圧を入力されたことによって発生する発振周波数の直線性を保つことは難しくなる。したがって、PLL回路としては周波数範囲の上限と下限のループ特性での変化幅が大きくなり、変動抑圧度の不足やループの発振を防止する補正回路が必要になる。

【0007】またVCO回路の周波数を広範囲に変化できることを可能としたために、小入力での周波数変動幅が大きくなりVCO回路の周波数変化が電源や入力ノイズ等に対してより大きくなる。そのことにより、ノイズに弱いPLL回路構成となり誤ったデータの読み取りを行う率が高くなる。

【0008】そこでこの発明の目的は、上記従来技術の問題点を解決することにより、データ転送元の転送速度変動が広範囲に及ぶ場合でも、ノイズに強く安定した低エラーレートのデータ読み取りを可能とするため、V C

Oを用いたビットクロック生成用のPLL回路を使用せず、データの読取りを可能とすることにある。

【0009】

【課題を解決するための手段】この発明は、入力信号の反転間隔を固定クロックによってカウントし、そのカウント結果をデジタル信号フォーマットの各信号成分比較の行える数値になるよう演算を行い、演算結果をデコードしてデジタル信号フォーマットにのっとった反転長の判別をできる構成とする。

【0010】

【作用】上記の手段によると、二値化された入力信号の反転間隔は、データ転送元の転送速度変動に反比例している。したがって、入力信号をクロックによってカウントされた値は、ある基準となるデータの転送速度をカウントした値に対して反比例の値を示す。たとえば、読み取り可能となる最高の転送速度が10であった時にデジタルデータフォーマットの最長と最短ビットをカウントした数が11から3であったとすると、転送速度が1となった場合にはカウント数は110から30となる。しかしながら、転送速度が10から1に変わったとしても、デジタル信号の信号構成には変化があるわけではなく、入力信号の反転時間が10倍に伸びているだけである。

【0011】したがって、11から3のデータを判定する部分に入力されるカウント数値110から30をまず後段の除算回路出力での誤差を少なくするため乗算を行い、除算回路の除算率を変更して出力数値を順次小さくして演算を行い、次に入力する11から3のデータを判定する回路へ、12以上の数値が存在しない様に動作させる。12以上の数値が存在しなくなった時点で除算率変更を停止すると、変更比は1/10となり、110から30の数値は11から3の数値に変換されることになる。したがって、11から3のデータを判定する回路へは転送速度が異なる場合にも、常に一定幅の入力信号反転間隔の数値データが入力されるため、その入力数値が入力信号のどの成分かを判別することが可能となる。

【0012】次に、その判別された数値をデコード回路を通して、所定のデジタル信号フォーマット成分数値への変換を行う。この数値はPLL回路を用いて読み取られた入力データ反転間隔のクロック数と同一になる。成分数値への変換を行った数値を後段で信号処理を行いやすいように、変換数値と同一数の0と1のシリアル信号に並び替える。この際、反転位置を意味する1は、シリアル信号の最後尾その他は0という様に配列する。また次にきたフォーマット成分数値は、前に行ったシリアル信号の並び替えの1の直後に接続してというようにして、反転位置に1その他は0の連続したシリアル信号データを作成する。次にその連続したシリアル信号データをバッファに溜め込み、その中から同期信号を検出し、同期信号と次の同期信号のデータを抜き出す。この抜き

出されたデータをフォーマットで定められた所定の処理を行い、復調回路に出力する。

【0013】以上の動作を行うことでデータ転送元の転送速度変化が広範囲におよんだ場合においても、VCOを用いたPLL回路を使用せずともデータの処理が可能となる。

【0014】

【実施例】以下、この発明の実施例を図面を参照して説明する。図1はこの発明の第1の実施例を示す。外部から入力されてきたデジタル信号を再生する場合、そのデジタル信号は、入力された信号処理回路とは同期がとれていない。したがって、入力信号を二値化回路10によって二値化した後、同期化回路11によって、二値化信号と入力された信号処理回路のクロック（以下MCK）との同期をとる。この同期化された二値化信号のH

（“1”）とL（“0”）の反転間隔を測定するため、たとえばHの区間のみをMCKによってカウントするカウンタ12、13を設ける。カウンタ13の入力には反転回路14を接続する。その結果、カウンタ12では二値化信号のH区間のカウント、カウンタ13ではL区間のカウントを行うことになる。二つのカウンタ12、13は、一方がカウントしている間、他方はカウント動作を停止しており、スイッチ（以下SW）回路16によってカウント動作停止後のカウント値がホールド回路17にセットされ、その後タイミングジェネレータ20によって対応するカウンタがリセットされる。

【0015】同期化回路11の出力の反転位置は、エッジ検出回路15によって検出され、その検出信号がタイミングジェネレータ20に入力される。このタイミングジェネレータ20は、そのエッジ検出結果をもとにホールド回路17、乗算回路18、除算回路19、演算値成分検出回路21、シリアルデータ変換回路25等それぞれの制御タイミング信号を作り出す部分であり、この制御タイミング信号によって各部が動作する。

【0016】次にホールド回路17の出力（カウント結果）は、乗算回路18に入力され、ここで設定された数値と入力信号のカウント結果のかけ算を行う。乗算回路18は、除算回路19で除算が行われたときに生じるビット落ちによる誤差の拡大を防止するために設けられている。乗算回路18の出力は、除算回路19に入力され、その設定された除算値によって、乗算回路18から出力された数値のわり算が行われ、整数値のみが出力される。除算回路19は、除算値が変更できる構成となっており、その変更は除算値変更回路23の出力によって行われる。

【0017】次に除算回路19の出力である入力信号のカウント値を乗／除算した数値が演算値成分検出回路21に入力され、その数値を基にどの信号成分かを判断する。つまり、二値化回路10のデジタル信号入力は、所定の信号フォーマットによって最長から最短ビットまで

のビット長成分が決定されている。したがって、それぞれの演算成分の比較基準数値と入力信号のカウント値を乗除算した数値を比較することで、演算値成分検出回路21の入力数値がどのビット長成分かを判断することができる。

【0018】図2はその原理を示している。信号成分の判断基準は大きく分けると3種類に分類される。第1に、演算値成分検出回路21への入力値が比較成分に対して大きく、所定の信号フォーマットを検出できる比較設置値より大きな数値が数多く入力される場合を、CDフォーマットのEFM信号を例にして説明する。

【0019】CDのEFM信号は、3T～11T（TはMCKのビットレート）の信号成分で構成され、一定周期で最長ビットの11Tが発生する信号となっている。演算値成分検出回路21では、その信号成分一つ一つに対応した比較設置値が設けられ、その設定値と同一の数値が入力された場合には、入力数値を設定値の信号成分と判断する。たとえば、演算値成分検出回路21において、3Tと判断する数値を3、11Tと判断する数値を11と設定し、3が入力された場合には3T、11が入力された場合には11Tと判断させる。所定の信号フォーマットを検出できる比較設置値より大きな数値が入力されてきた場合には、信号フォーマットに存在しない12T以上に相当する数値、例えば12、13…の数値が検出されることになる。転送元では信号フォーマットにのっとった信号を入力しているのであるから、入力数値を比較設置値と対比できるようにしなければならない。この場合、12T以上に相当する数値が検出されているのであるから、除算値が不足していることになる。したがって、演算値成分検出回路21によって、12T以上に相当する検出が行われると、エラー検出回路22は、除算値変更回路23に対して設定値の増加を行う出力を発生する。

【0020】この増加した設定値は除算回路19の除算値として設定され、この除算値を基に除算回路19の入力値の演算を行う。その結果、演算値成分検出回路21の入力値は小さくなる。この状態でさらに12T以上に相当する検出が行われた場合は前記動作を繰り返し、12T以上に相当する検出が行われなくなるまで繰り返すようにしている。

【0021】次に設定値増加の例を以下に示す。演算値成分検出回路21で24T以上に相当する値が検出された場合は、検出が行われる度に除算値変更回路23の設定値を一定周期で2倍に変更し、23T以下の値になった場合には検出が行われる度に除算値変更回路23の設定値を一定周期に1増加させ、演算値成分検出回路21で12T以上に相当する値が検出されなくなるまで行う。この動作で演算値成分検出回路21への入力値を比較成分数値と一致させることが可能となる。

【0022】第2に、演算値成分検出回路21への入力

値が比較成分に対して小さい場合には、信号フォーマットに存在しない12T以上に相当する数値は検出されず、また一定周期に発生する最大成分の11Tに相当する数値も検出されない状態となる。この場合、全ての値が10T以下に相当する数値として演算値成分検出回路21へ入力されているのであるから、除算値が過剰となっていることになる。したがって、演算値成分検出回路21によって12T以上に相当する数値は検出されず、また一定周期に11Tに相当する数値も検出されないような状態となると、エラー検出回路22は、除算値変更回路23に対して設定値の減少を行う出力を発生する。この減少した設定値は、除算回路19の除算値として設定され、前記同様この除算値を基に除算回路19の入力値の演算を行う。その結果、演算値成分検出回路21の入力値は大きくなる。この状態でさらに12T以上に相当する数値は検出されず、また11Tに相当する数値も検出されないような状態が続く場合には、前記動作を繰り返し、11Tに相当する値の検出が行われるまで繰り返す。

【0023】設定値減少の例を以下に示す。演算値成分検出回路21で一定周期に全ての検出値が5T以下に相当する数値であった場合は、6T以上に相当する値が検出されるまで除算値変更回路23の設定値を一定周期で1/2に変更し、6T以上に相当する値が検出された場合には一定周期に11Tに相当する値が検出されるまで、除算値変更回路23の設定値を1減少させる。この動作で演算値成分検出回路21への入力値を比較成分数値と一致させることが可能となる。

【0024】第3に、演算値成分検出回路21への入力値が比較成分と一致している場合がある。演算値成分検出回路21の10Tという信号成分を検出する数値を仮に10と設定し、除算回路19の出力数値が10であった場合には、エラー検出回路22でエラーが検出されないかぎり、演算値成分検出回路21へ入力された数値は正しい10Tの信号成分と判断することができる。

【0025】以上の様に、演算値成分検出回路21への入力数値が比較基準値に対してどちらの方向へずれているかを判断して、そのずれに応じてエラー検出回路22が除算値変更回路23へ変更信号を送り、除算回路19の除算値の変更を行うことで演算値成分検出回路21への入力値を比較成分と一致させるように動作する。このため、データ転送元の転送速度が変化し、二値化信号のカウント値が変わっても最長ビットから最短ビットまでの演算比率が一樣に修正され、入力信号の成分であるCDフォーマットのデータビット長を判別することが可能となる。

【0026】以後の処理及び動作をさらに、図3も加えて説明する。演算値成分検出回路21からは、データビット長を判別した信号が出力されるため、デコード回路24によってその結果を実際のビット長数値に変換する

処理が行われる。前記例で示すと演算値成分検出回路21に入力された10Tという信号成分が数値で10と表現されているから数値を10として変換する（たとえ10Tという信号成分が数値で20と表現されている場合でも10という数値に変換する）。これらの変換された数値は、信号成分そのものでPLL回路の同期クロックで読み取られた反転周期のクロック数と同一である。次に、デコード回路24からのデコード数値出力を後段の信号処理を行いやすいように、シリアルデータ変換回路25によってシリアルデータに置き換える処理が行われる。

【0027】実際の信号処理は、入力信号のビット長を判別して行うため、入力信号の反転位置に相当する、すなわちシリアル化したデータの最後尾にデータ反転ビットを立てるように変換する。変換動作はデータの反転ビット一個とそれ以外のビット数の和が24のデコード数値と同一になるようにし、前記例で表すと10という数値を0000000001のビット列（0が9個、最後に1が1個）というふうに変換する。

【0028】次に入力されるデコード数値の変換データを反転ビットの直後に接続するように動作させる。この動作を次々に繰り返すことで、デコード数値のシリアルデータ化が行われる。このシリアルデータは、後段の信号処理を行うため、最少でも同期信号間のビット数（CDフォーマット例では588ビット）がシリアルデータ変換回路25に蓄積されることになる。

【0029】このシリアル化されたデータから信号フォーマットのデータを読み取るために、同期検出回路26によって信号フォーマットの同期パターンを検出し、同期信号位置を判定する。CDフォーマットの例で表すと同期信号は、(11T-11T-2T)で構成されているため、このビット列を判定する回路を設定して検出が行われる。この検出された同期信号と、次に入力されてくる同期信号の間のデータ（CDフォーマット例では同期信号の24ビットにマージンビットの3ビットを加えた以降の561ビット）をデータ部抜き取り回路30に送り出す。同期検出回路26の出力は、タイミングジェネレータ29に入力され、データ部抜き取り回路30、カウンタ33、バッファメモリ35の動作制御を行う信号を発生する。

【0030】データ部抜き取り回路30では、シリアルデータ変換回路25の同期信号間のデータフォーマットに定められたデータブロックのみが入力される様に設定され、この段階で同期信号は削除される。

【0031】次に、このデータブロックをマージンビット除去回路31（図1）に入力し、データ間を識別するために挿入されたマージンビットの除去を行う。前記と同様にCDフォーマットを例にすると、データブロックは14ビットのデータと3ビットのマージンビットの列が33個つながって構成されている。信号再生の処理に

必要なのはデータのみであるためマージンビットを取り除く必要がある。

【0032】その処理を以下に説明する。データ部抜き取り回路30のデータをタイミングジェネレータ29で制御されるクロックによって、先頭から順次取り出しデータの先頭からデータとマージンビットの和のビット数をバッファに入力する。その数は、タイミングジェネレータ29で制御されるカウンタ33で前記と同一のクロックでカウントする。CDフォーマットを例にすると先頭からのカウント数が14になった時、先頭からのデータを復調回路32に出力するようにする。次にカウント数が17になった時、カウンタ33のカウント値をリセットし、次のデータとマージンビットのカウントを開始する。この動作をデータブロックのビット数分行い終了し、次のデータブロック開始の制御信号がタイミングジェネレータ29から出力されて再開する。この動作によってマージンビットの除去が完了する。

【0033】復調回路32は、マージンビット除去回路31の出力であるデータビットをデータ転送元が所定のフォーマットで変調する以前のデータに復調する動作を行う。前記と同様にCDフォーマットを例にすると転送元の信号であるEFM信号は、元のデータ8ビットを14ビットに変調したものである。したがって、マージンビットを取り除いた14ビットのデータを変調処理の逆の処理を行うことにより元の8ビットのデータに復調することができ、この復調されたデータをバッファメモリ35に出力する。これらの動作は、カウンタ33の出力と、タイミングジェネレータ34によって制御される。

【0034】バッファメモリ35は、データ転送元から入力されてくる復調後のデータと、入力された側の訂正回路が要求するデータとの転送速度差を吸収する目的で設置され、入力された側の訂正回路が要求するデータをバッファメモリ35に入力される出力要求信号に合わせて訂正回路へデータを出力する。

【0035】以上の動作で入力された転送元の転送速度が変化してもデータビット長を判別することが可能となり、ループ特性の変化やノイズに弱い問題を広範囲の周波数に対応したVCDを用いたPLL回路を使用せずとも固定クロックによる安定した信号処理が完了できる。

【0036】図4はこの発明の第2の実施例を示している。第1の実施例と同一部分には同一符号を付している。演算値成分検出回路21は、除算回路19の出力数値がどの成分に相当するかを比較する回路である。この実施例では、入力された所定のデジタル信号フォーマットの各成分とフォーマット外の数値を検出できる構成となっている。この検出はフォーマット外の数値検出回路36が行う。また、演算値の各信号成分検出はさらに分割された数値で構成され最低でも3つの分割数となっている。

【0037】その分割部の構成を図5に示す。第1の実施例と同様にCDフォーマットを例にすると、演算値成分検出において11Tという信号成分の検出は32から34という3分割された3つの数で判別し、10という信号成分は29から31という3つの数で判別するように設定され、除算回路19より入力される数値がどの数値に当てはまるかを比較し、信号成分の判断をより細かい分解能で行うことができる。実際のデジタル信号フォーマットの各信号成分は、ある範囲内に存在しているため信号成分の最大数と最少数を検出できる数値を設定し、信号成分の最大数以上の数値である35以上の数値を検出した場合と、信号成分の最大数以上数値である35以上の数値を検出せずかつ、一定期間内に最大数である32から34の数値を検出できなかった場合は、フォーマット外のエラーとする。

【0038】しかしながらエラーが発生した場合でも、転送元ではデジタル信号フォーマットにのっとった信号を入力して来ているのであるから、エラーの発生しない数値を演算値成分検出回路21に入力する必要がある。そのため、入力信号エッジ間のカウント数値を乗算回路18に設定された乗算値とかけ算を行った後に除算を行う除算回路19に設定された除算値を調整し、演算値成分検出回路21でフォーマット外の信号検出が行われないうなわり算を行う動作をさせる。この動作は、フォーマット外の数値検出回路36で検出された信号を、カウンタ37に入力し、一定期間内に設定された数値以上の検出が行われた場合に、除算値変更回路23へ信号を出力するようにする。

【0039】カウンタ37を設置した目的は、平均的なエラーによって除算値の変更を行いかつ、単発的なエラーによってその値が変更されるのを防止するためである。その信号によって、除算値変更回路23は設定された値を変更し、除算回路19の除算値としてセットする。フォーマット外の数値検出動作によってフォーマット内信号検出の最大数値以上を検出した場合には除算値が増加するよう動作し、フォーマット内信号検出の最大数値以上を検出せず、かつフォーマット最長成分の数値を検出しなかった場合には、除算値は減少する動作する。

【0040】以上の演算は演算成分の最大数から最少数を一様な比率で変更するため、演算成分の最大数をデジタル信号フォーマットの最長成分とすることで、演算値成分検出回路21で各成分を判別できるようになる。

【0041】転送元からの信号は、通常ノイズやジッタ成分を含んでいる。したがって、演算値成分検出回路21では、できるだけ演算値成分の検出がその中心値で行われることが望ましく、各信号成分検出を分割された複数の数値で行っている。そして中心値以上の検出回路38と中心値以下の検出回路39によって中心値からのずれを検出し、カウンタ40、41によってその検出数を

カウントする。ノイズやジッタ成分によって、発生する検出のずれは、ランダムに起こるため平均的なズレ数値をとるため差分検出回路 4 2 によって、二つのカウント数値の差をとっている。この差が一定期間内に一定数値以上になった場合、そのエラー信号を除算値変更回路 2 3 に入力して設定値を変更し、この設定値を除算回路 1 9 の除算値としてセットする。したがって、中心値以上の検出数が中心値以下の検出数より一定数以上多い場合には除算値は増加し、その反対では除算値は減少する。

【0042】以上の動作で、演算値成分検出の中心値からのズレを修正しながら判別を行うため、正確な判別結果を得ることが可能となる。図 6 はこの本発明の第 3 の実施例を示している。

【0043】この実施例は第 1 の実施例の乗算回路 1 8 と除算回路 1 9 との間に乗算回路 4 3、除算回路 4 4 を設け、第 2 の実施例の差分検出回路 4 2 の出力を除算値変更回路 4 5 に入力するようにしている。そして演算値成分検出回路 2 1、フォーマット外の数値検出回路 3 6、中心値以上の検出回路 3 8、中心値以下の検出回路 3 9、4 0、カウンタ 4 0、4 1、差分検出回路 4 2 を追加した構成となっている。第 1 の実施例の乗算回路 1 8 の出力である入力信号反転間隔カウント値と、乗算値の積値を乗算回路 4 3 に設定された乗算値でさらにかけ算を行う。次に、乗算回路 4 3 の設定値を中心値にし、変更可能な数値でわり算の行える除算回路 4 4 によってわり算を行い、除算回路 1 9 に出力する。除算回路 4 4 の除算値は除算値変更回路 4 5 によって変更され、その変更値は演算値成分検出回路 2 1 への入力値が所定のデジタル信号フォーマットで定められた信号成分の比較可能な設定値の範囲に収まった場合に、最長ビットのカウント演算値と最長ビット検出の中心値のズレを修正することができる範囲内のみ変更できるように設定する。その結果、乗算回路 1 8 の乗算値は、最長ビットのカウント演算値と最長ビット検出の中心値のズレ分の比のみを修正されて除算回路 1 9 に入力することになる。

【0044】さきの実施例で説明した通り乗／除算による演算は演算成分の最大数から最少数を一様な比率で変更するため、演算成分の最大数のズレ分の比率を修正することは全成分を修正することになる。

【0045】以上の動作で大きな値のズレは、第 2 の実施例と同様に演算値成分検出回路 2 1 の出力をフォーマット外の数値検出回路 3 6 によってカウンタ 3 7 を作動させ、一定期間内に設定された数値以上の検出が行われた場合に、除算値変更回路 2 3 へ信号を出力して除算回路 1 9 の除算値を変更し、演算値成分検出回路 2 1 にフォーマット外の数値が入力されないように動作させることになる。

【0046】除算値変更回路 4 5 は、第 2 の実施例と同様に、中心値からはずれた値の検出を行う中心値以上の検出回路 3 8 と中心値以下の検出回路 3 9 でカウンタ 4

0 と 4 1 を動作させ、4 2 の差分検出回路によって二つのカウント数値の差をとり、一定期間内に一定数値以上になった場合に入力される。したがって、演算値成分検出の中心値からのズレを修正しながら判別を行うため、正確な判別結果を得ることが可能となる。

【0047】図 7 は、この発明の第 4 の実施例を示す。この実施例は第 2 の実施例に対してオーバーフロー検出回路 4 6 を追加した構成となっている。第 2 の実施例に対して新たに加わった部分を取り出して示している。他の部分は、第 2 の実施例と同じ構成である。即ち、オーバーフロー検出回路 4 6 はカウンタ 1 2、1 3 のカウンタ数値が最大値になったことを検出し、2 0 のタイミングジェネレータ 2 0 と除算値変更回路 2 3 へオーバーフロー検出出力を発生する構成となっている。タイミングジェネレータ 2 0 へは、オーバーフローとなるカウント数値を後段の処理回路へ送るためにオーバーフロー検出出力が入力される。また、前記のオーバーフロー検出出力は、その検出発生時に除算値変更回路 2 3 の除算値変更を停止させる目的で除算値変更回路 2 3 へ入力される。

【0048】以上の構成で、入力信号の欠落が何らかの理由で発生しカウンタのカウント値がオーバーフローするような場合でも、後段の信号処理に影響がないように動作させることが可能となる。つまりオーバーフローということは、何等かの異常が生じたことであると認識し、除算値等の不要な変更や処理を行わないようにしている。

【0049】図 8 はこの発明の第 5 の実施例を示す。この実施例は第 3 の実施例に対してオーバーフロー検出回路 4 6 を追加した構成となっている。第 3 の実施例に対して新たに加わった部分を取り出して示している。他の部分は、第 3 の実施例と同じ構成である。即ち、オーバーフロー検出回路 4 6 はカウンタ 1 2、1 3 のカウンタ数値が最大値になったことを検出し、タイミングジェネレータ 2 0 と除算値変更回路 2 3、4 5 へオーバーフロー検出出力を発生する構成となっている。第 4 の実施例と同様にタイミングジェネレータ 2 0 へは、オーバーフローとなるカウント数値を後段の処理回路へ送るためにオーバーフロー検出出力が入力される。また、オーバーフロー検出出力はその検出発生時に除算値変更回路 2 3、4 5 の除算値変更を停止させる目的で除算値変更回路 2 3、4 5 へ入力される。

【0050】以上の構成で実施例 4 と同様に、何らかの理由で入力信号の欠落が発生しカウンタのカウント値がオーバーフローするような場合でも、後段の信号処理に影響がないように動作させることが可能となる。

【0051】図 9 はこの発明の第 6 の実施例を示す。入力信号反転間隔のカウント値は乗算回路 1 8 の固定された積算値によるかけ算と、次の除算回路 1 9 の可変する除算値によるわり算によって演算され、演算値成分検出

回路21に入力されている。演算値成分検出回路21で所定のデジタル信号フォーマットの成分を検出可能な最も早い転送速度で転送先から入力されている場合、除算回路19の除算値は設定可能な数値の最小値となっている。

【0052】エラー検出回路22でフォーマット外の信号検出があると除算値変更回路23が動作し、除算回路19の除算値が1上がった場合に、演算値成分検出回路21の入力値が他の信号成分値に相当する値になることはさけなければならない。各信号成分の間隔は元々PLL回路の1/2VCO周波数のクロック数でカウントするように構成されているので様に同一である。したがって、ある信号成分を判別できる比率が最も小さいのは最長ビットの検出上限と下限ということになる。

【0053】CDフォーマットを一つの例に説明するとEFM信号のビットは11T~3T（T=ビットクロック数）の成分で構成されている。隣の信号成分との判別できる境は中心から0.5T離れた所であるから、各成分の検出上限と下限の比率が最小となる箇所は最長ビットの11.5T/10.5Tであり、最大となるのは最少ビット3.5T/2.5Tである。よって、最長ビットの比率修正が正しく行われれば全てのビット成分の比率集積も正しく行われることになる。したがって、11.5T~10.5T~1の範囲に除算値を変更した場合の最大比率の（最小除算値+1）/最小除算値を収める必要がある。

【0054】乗算回路18と除算回路19によるカウント値の演算はカウント値の比率変更であるから、上記説明のようにその比率が最長ビットの検出範囲の上限と下限の比以下にならなければならない。さらに現実の入力信号のカウント値はノイズやジッタ成分によってある幅で変化するため、最小値で除算を行った時のカウント幅の上限と、最小値より一つ多い除算値で除算を行った時のカウント幅の下限それぞれの演算結果が最長ビットの検出範囲にできるだけ収まるようにするためには、さらにその比率は小さくなる。このように比率を小さくするためには除算設定値の最小値を大きく設定する必要がある、検出に影響のないもしくはでにくい値がその最小値Nとなる。

【0055】図10に除算最小値をNとした時にN+1の除算を行った場合の最小値Nの大きさによって異なる演算値成分検出回路21への入力値の差の例を示す。除算値がNの時、演算値成分入力値が最長ビットの上限側に片寄っていた場合、ジッター成分等により上限値を越える場合があり、除算値を1増加させ演算成分検出回路21の入力値を減少させる動作を行う。

【0056】その際、除算値Nの値が十分に大きく（最長ビットの検出上限）/（最長ビットの検出下限）以下となる様な比率に（N+1）/Nがなる場合には、除算値が1増加した場合にも演算値成分検出回路21への最

長ビットの演算値を最長ビットの検出範囲内に収めることができる。しかしながら除算値Nの意が小さい場合には、（N+1）/Nが大きくなり（最長ビットの検出上限）/（最長ビットの検出下限）以下の比率にならないため演算値成分検出回路21への最長ビットの演算値が除算値を1増加したことによって最長ビットの検出範囲外に出てしまうことになる。

【0057】以上の様に（N+1）/Nが（最長ビットの検出上限）/（最長ビットの検出下限）以下の比率となるNを設定した乗算回路18と可変数値の最小値をNと設定した。除算回路19の演算を行うことによって、除算値が1変更された場合でも演算値成分検出回路21の入力値が他の信号成分値に相当する値にならないため、転送元からの入力信号が演算値成分検出回路21で所定のデジタル信号フォーマットの成分を検出可能な最も早い転送速度である場合でも、正しい成分検出が可能となる。

【0058】図11はこの発明の第7の実施例である。第3の実施例の演算値成分検出回路21の演算値成分検出においてデジタル変調フォーマットの1成分の検出を複数の検出値で構成した場合、最長成分の演算成分検出のセンター値とその一つ隣の検出値の比は

（（最長成分値×分割数）±1）/（最長成分値×分割数）

となる。最長成分値×分割数をMとすると上記式は（M±1）/Mで表すことができる。成分検出のセンター値と一つ隣の検出箇所との値の比が（M±1）/Mであるから演算成分検出のセンターから検出箇所がα離れた検出値の比は（M±α）/Mとなる。αは検出センターからのズレであるから、そのズレを修正するためにはM/（M±α）の演算を行えばよいことになる。したがって、乗算回路43の設定値をMとしてかけ算を行い、中心値からはずれた演算成分検出回路21への中心値以上及び以下の入力を検出回路38、39によって検出し、その検出結果を基に除算値変更回路45の設定値を変更し、除算回路44の設定値をM±αとしてわり算を行うと、最長成分のセンター値からズレた演算値を修正して演算値成分検出回路21に入力することが可能となる。

【0059】第6の実施例で説明したとおり除算値変更による乗除算の比率変更で最長成分の比率変更が正しく行われると、全ての成分において正しく比率変更が行われることになる。

【0060】以上のようにデジタル変調フォーマットの一成分当たりの分割数と、デジタル信号フォーマットの最長成分数の積値をMとした演算値成分検出回路21を設置し、そのMを乗算値として設定した乗算回路43とMを基準として演算値成分検出回路21の最長成分検出センターからのズレ分を可変する値を除算値として設定した除算回路44を設置することで、検出センターからのズレを正確に修正することが可能となる。

【0061】図12はこの発明の第8の実施例を示す。この実施例は第3の実施例の構成で18の乗算回路と除算回路19は、第6の実施例の効果を、乗算回路43、除算回路44、演算値成分検出回路21は第7の実施例の效果を持たせており、除算値変更回路45からは中心値からのズレの値である α が一定以上に大きくなった場合に、除算値変更回路23の設定値を1つだけ増減変更を行うように設定されている。除算値変更回路23の設定値が変更されたことによって除算回路19の除算値を1つ変更されても、第6の実施例の效果によって演算値成分検出回路21の入力値が成分検出に影響を及ぼさず、第7の実施例の效果によって演算値成分検出回路21の検出センターからのズレを乗算回路43、除算回路44の演算によって修正するため、広範囲の入力信号の転送速度の変化に連続的に対応しながら正確な演算成分検出が可能となる。

【0062】図13では演算値成分検出回路21の入力値により、図12の除算値変更回路45が除算値変更回路23の除算値を一つ増加させるときの例を示している。演算値成分検出回路21の入力値が除算値変更回路45に設定された $K+1$ (K は設定が変更される直前の設定値) レベルを上回った場合には、除算値変更回路23の設定値を一つ上げる。除算値が増加したため演算値成分検出回路21の入力値は小さくなり、その入力値が検出中心値より上側にずれた状態が修正され、より中心値に近い状態で成分検出が行われることになる。

【0063】図14では前記と逆に演算値成分検出回路21の入力値により、図12の除算値変更回路45が除算値変更回路23の除算値を一つ減少させるときの例を示している。演算値成分検出回路21の入力値が除算値変更回路45に設定された $K-1$ レベルを下回った場合には、除算値変更回路23の設定値を一つ下げる。除算値が減少したため演算値成分検出回路の入力値は大きくなり、その入力値が検出中心値より下側にずれた状態が修正され、前記同様より中心値に近い状態で成分検出が行われることになる。

【0064】図15はこの発明の第9の実施例を示す。演算値成分検出の検出値をデコードした値は、シリアルデータ変換回路25に入力され、ここでは連続化されたシリアルデータが作成される。このシリアルデータは、所定のデジタル信号フォーマットによって同期信号のビットとデータビットで構成されている。その同期信号ビットの含まれている位置を基準にデータビットの位置を判断しデータの復調を行っているが、何らかの原因で同期信号が検出されなかった場合にはデータビットの位置が不明となるため正しいデータの復調ができなくなる。その様な状態を防止するため同期信号に対する保護を行う構成としている。

【0065】即ち、シリアルデータ変換回路25は、デコード回路24からのデータをシリアルデータに変換す

るが、そのシリアルデータは、同期信号検出回路26、同期保護信号検出回路28により監視されている。そして、何等かの原因で同期信号が検出されないような場合は、後のデータ処理においてデータ復調動作が乱れるのを防止するために、同期保護信号書き込み回路27が同期信号を強制的に書き込むようになっている。

【0066】図15の同期検出回路26は、図16の48の検出1、49の検出2で構成され、この検出1と2の間は、図15のシリアルデータ変換回路25内にある図16のシリアルデータレジスタの同期信号間の構成ビット数分離れて設定されている。48の検出1で同期信号を検出したときにその検出信号によってタイミングジェネレータ29は、データ部抜き取り回路30へ抜き取り信号を発生する。その抜き取り信号を発生したときに49の検出2で同期信号を検出した場合には、シリアルデータレジスタ47に正常なデータが入力されていると判断し、タイミングジェネタ29は同期保護信号の書き込み信号を発生しない。

【0067】次に49の検出2で検出した同期信号が次々に入力されてくるシリアルデータによって47のシリアルデータレジスタ内を前進し、48の検出1で検出できる位置に到達したとき、検出1で得られた検出信号をタイミングジェネレータ29は、再度、30のデータ抜き取り信号発生信号として使用する。

【0068】これに対して、48の検出1で同期信号を検出し、タイミングジェネレータ29がデータビットの抜き取り信号を出力したとき49の検出2で同期信号を検出できなかった場合には、正常なデータが47のシリアルデータレジスタに入力されていないと判断し、タイミングジェネレータ29は同期保護書き込み回路27に書き込み信号を発生する。その書き込み信号によって同期保護書き込み回路27は、47のシリアルデータレジスタの連続したシリアルデータには存在しないパターンの信号を、本来49の検出2の位置に存在しなければならない同期信号位置の直前に同期保護信号として強制的に書き込む。この同期保護信号は47のシリアルデータレジスタにシリアルデータが入力されることによって徐々に前進して、48の検出1の同期信号の直前に位置に設定された28の検出3の同期保護信号検出で検出できる位置に到達したとき、その検出信号をタイミングジェネレータ29に出力し、同期保護信号を同期信号の代わりに利用するようにし、30へのデータの抜き取り信号を発生する。47のシリアルデータレジスタの同期信号間と同期保護信号間の構成ビット数は同一で、また48の検出1の同期信号検出と28の検出3の同期保護信号検出においてそれぞれ所定パターン検出があった時、データビットの位置が同一であるため、同期保護信号検出によるタイミングジェネレータ29の抜き取り信号でも、データ抜き取り回路30に正しいデータが送ることが可能となる。

【0069】また同期保護書込み回路27が同期保護信号を47のシリアルデータレジスタに書き込んだ後、シリアルデータレジスタのデータが数ビット前進し49の検出2で同期信号が検出された場合には、レジスタ内のデータが前進し28の検出3の同期保護検出を行ってもその信号を無視し、49の検出2で検出した同期信号が48の検出1で検出した時に、データ抜き取り回路30の抜き取り信号を発生する。この同期信号を優先する動作によって、先に書き込まれた同期保護信号によって誤動作することを防止することができる。

【0070】同期保護信号を47のシリアルデータレジスタに書き込んだ後、その書き込んだ同期保護信号を28の検出3の同期保護検出で検出するまでの間に49の検出2で同期信号を検出できなかった場合には、タイミングジェネレータ29がデータビットの抜き取り信号を検出したのち、再度、同期保護信号の書き込み信号を同期保護書込み回路27に発生するようになっている。

【0071】以上の構成及び動作によって何らかの理由で同期信号が検出されなかった場合にも、同期保護信号を検出することによって演算値成分検出の検出値をデコードした値からデータビットのデータをデータ抜き取り回路に送ることが可能となるため、正しくデータを復調することが可能となる。

【0072】図17はこの発明の第10の実施例を示す。この実施例は、第1の実施例の除算値変更回路23の設定値変更をエラー検出回路22からの信号によって行う以外に、外部から直接設定値のセットを行える構成となっている。演算値成分検出回路21で所定のフォーマットの信号成分を判断できる入力数値を得られる場合、乗算回路18と除算回路19による演算比率とデータの転送速度の比率は反比例の関係にある。したがって基準となるデータ転送速度の演算比率を決定すると、データ転送元の転送速度があらかじめ判明していた場合には、その演算比率も前もって判明していることになる。乗算回路18と除算回路19による演算比率の変更は、除算回路19によって行われるため、データ転送元の転送速度があらかじめ判明したい場合には除算回路19の除算値を変更する除算値変更回路23の設定値を直接外部から設定することで、演算値成分検出回路21で所定のフォーマットの信号成分を判断できる入力数値を得ることができるため、より早く信号処理を開始することができる。

【0073】図18にはこの発明の第11の実施例を示す。この実施例は、第3の実施例の除算値変更回路23、45の設定値変更をカウンタ37のフォーマット外の数値検出カウンタ出力と、カウンタ40、41、差分検出回路42による中心値外検出カウンタの差分検出出力とで行う以外に、外部から直接設定値のセットをそれぞれ行える構成となっている。

【0074】前記実施例と同様に演算値成分検出回路2

1で所定のフォーマットの信号成分を判別できる入力数値を得られる場合、乗算回路18と43と除算回路44と19による演算比率とデータの転送速度の比率は反比例の関係にある。したがって基準となるデータ転送速度の演算比率を決定すると、データ転送元の転送速度があらかじめ判明した場合にはその演算比率も前もって判明していることになる。乗算回路18、43と除算回路44、19による演算比率の変更は除算回路44、19によって行われるため、データ転送元の転送速度があらかじめ判明していた場合には、除算回路44と19の除算値を変更する除算値変更回路45と23の設定値を直接外部から設定することで演算値成分検出回路21で所定のフォーマットの信号成分を判別できる入力数値を得ることができるため、前記例と同様により早く信号処理を開始することができる。

【0075】図19は、この発明の第12の実施例を示す。デジタルディスク再生装置は、モータ50を回転させ、その回転と連動して回転するディスク51の記録情報をディスク再生信号のピックアップ52によって取り出し、増幅回路53でその信号を増幅し再生信号としている。したがって、増幅回路53から出力されるディスクの再生信号の転送速度は、ディスク51を回転させる50のモータ50が、ディスク再生の規定回転数に対してどの程度の倍率で回転しているかによって、規定回転数時に出力される転送速度からの倍率が決定される。またデジタルディスクの記録情報は、所定の信号フォーマットによって記録され、その信号成分が決定されている。増幅回路53出力の再生信号を受け取るデジタルデータ処理回路54は前記までの実施例で説明したとおり入力信号の転送速度が異なる場合でも、乗除算の演算比率を変更することによって所定のデジタル信号フォーマットの信号成分を判別し処理する回路である。

【0076】したがって、デジタル信号処理回路54を所定のデジタル信号フォーマットの信号成分を処理できるように構成すると、ディスク51を回転させるモータ50がディスク再生規定回転数の様々な倍率で回転している場合において起こる転送速度でも、デジタル信号フォーマットの信号成分を判別し処理することが可能となり、訂正回路へ正しいデータを送ることができる。

【0077】

【発明の効果】入力されたデジタル信号をクロックによってカウンタでカウントし、そのカウント数値を設定された数値の乗算を行った後、デジタル信号フォーマットに存在する信号成分検出回路の転出数値に当てはまる様に除算値の変更を行いながら除算を行い、その検出回路で得られた検出結果をデコードし、そのデコードされた数値それぞれの境目が判別できるように変換した連続したシリアルデータを作り出すことによって、同期信号とデータの抜き取りが可能となり、その同期信号とデータによって復調が行えるため、低エラーレートのデータの

【図面の簡単な説明】

【図2】 図1の回路の基本的原理の説明図。

【図 4】 この発明の第 2 の実施例を示す図。

【図6】 この発明の第3の実施例を示す図。

【図 8】 この発明の第 5 の実施例を示す図。

【図 10】図 9 の回路の動作説明図。

【図 1 1】 この発明の第 7 の実施例を示す図

【図 12】 この発明の第 8 の実施例を示す図

【図 13】 図 12 の回路の動作説明図。

【図 1 4】 同様に図 1 2 の回路の動作説明図

【図 15】 この発明の第 9 の実施例を示す図

【図 16】図 15 の回路の動作説明図。

【図 17】 この発明の第 10 の実施例を示す

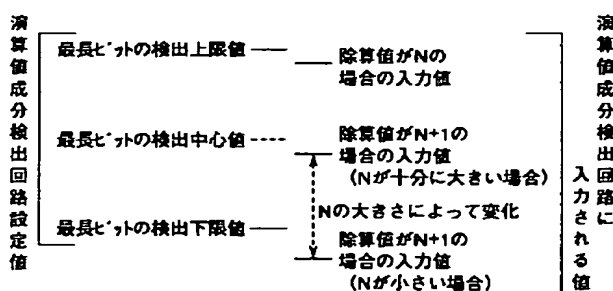
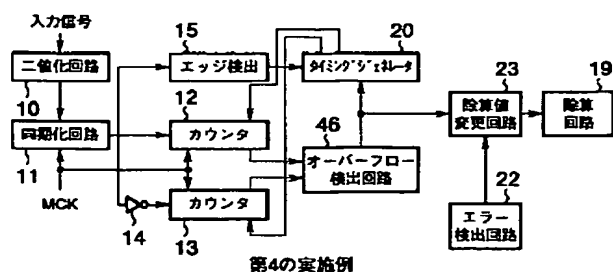
【図 18】この発明の第 11 の実施例を示す

【図 19】 この発明の第 12 の実施例を示す

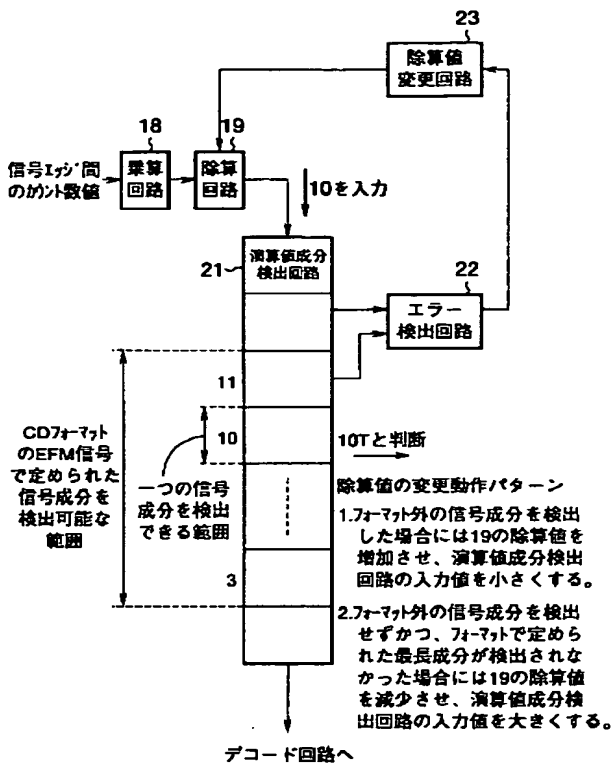
Figure 1 is a block diagram of a data processing system. The system includes the following components and connections:

- Input Section:** An input signal (10) is processed by a binary conversion circuit (11) and a synchronization circuit (12). A clock signal (MCK) is provided to a counter (13).
- Control and Timing Section:** A timing generator (20) provides signals to the binary conversion circuit (11), the synchronization circuit (12), the counter (13), the SW control circuit (14), the SW circuit (16), the OR circuit (17), the summing circuit (18), the subtraction circuit (19), the correction value component output circuit (21), the error output circuit (22), the serial data conversion circuit (25), and the timing generator (29).
- Processing Section:** The synchronization circuit (12) outputs to a counter (15). The counter (15) outputs to the SW control circuit (14) and the SW circuit (16). The SW control circuit (14) outputs to the counter (13). The SW circuit (16) outputs to the OR circuit (17). The OR circuit (17) outputs to the summing circuit (18). The summing circuit (18) outputs to the subtraction circuit (19). The subtraction circuit (19) outputs to the correction value component output circuit (21).
- Output Section:** The correction value component output circuit (21) outputs to the error output circuit (22). The error output circuit (22) outputs to the serial data conversion circuit (25). The serial data conversion circuit (25) outputs to the data extraction circuit (30). The data extraction circuit (30) outputs to the buffer memory (35). The buffer memory (35) outputs to the output requirement (36) and the stored data (37). The buffer memory (35) also outputs to the correction circuit (32). The correction circuit (32) outputs to the margin bit removal circuit (31). The margin bit removal circuit (31) outputs to the data extraction circuit (30). The data extraction circuit (30) also outputs to the timing generator (29).
- Other Components:** A timing generator (29) provides a signal to the counter (33). The counter (33) outputs to the data extraction circuit (30). The data extraction circuit (30) also outputs to the timing generator (29).

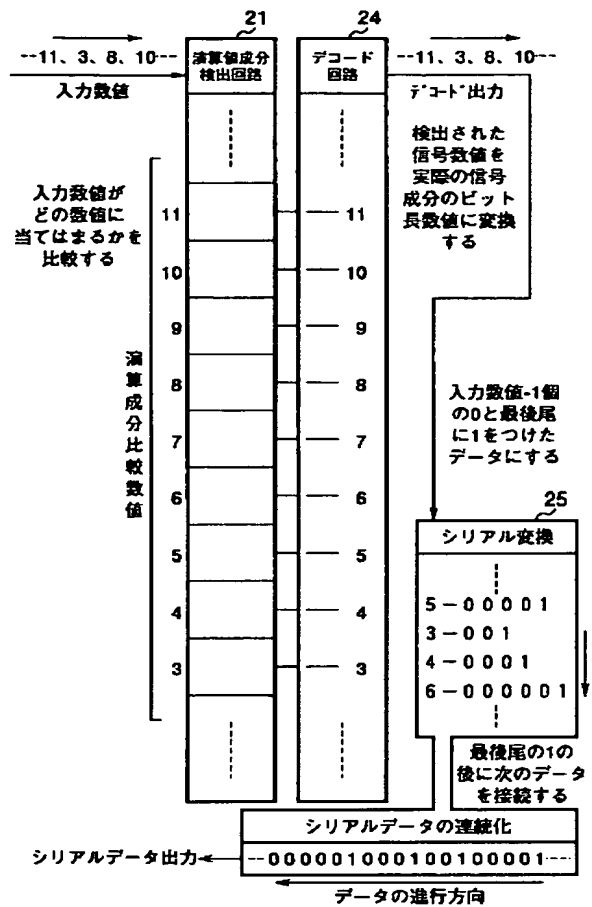
【图 10】



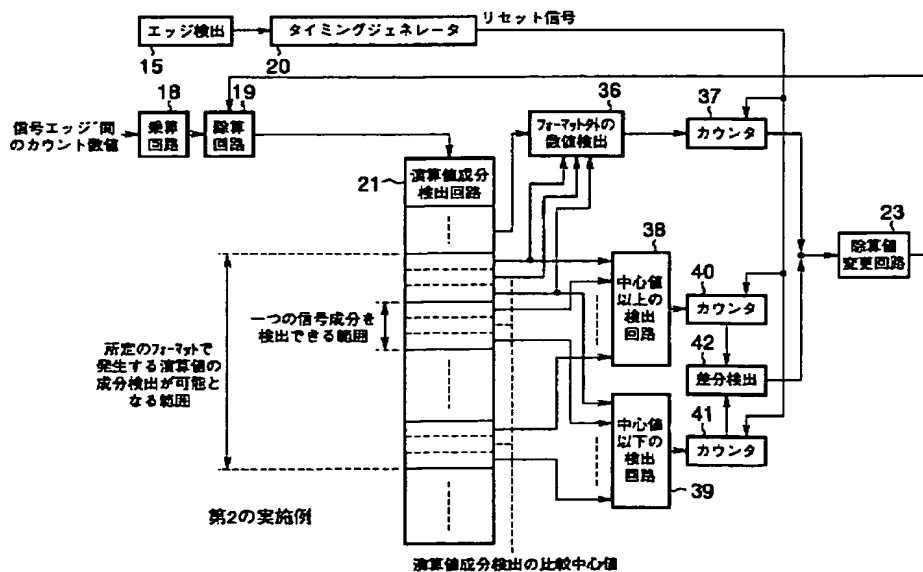
【図2】



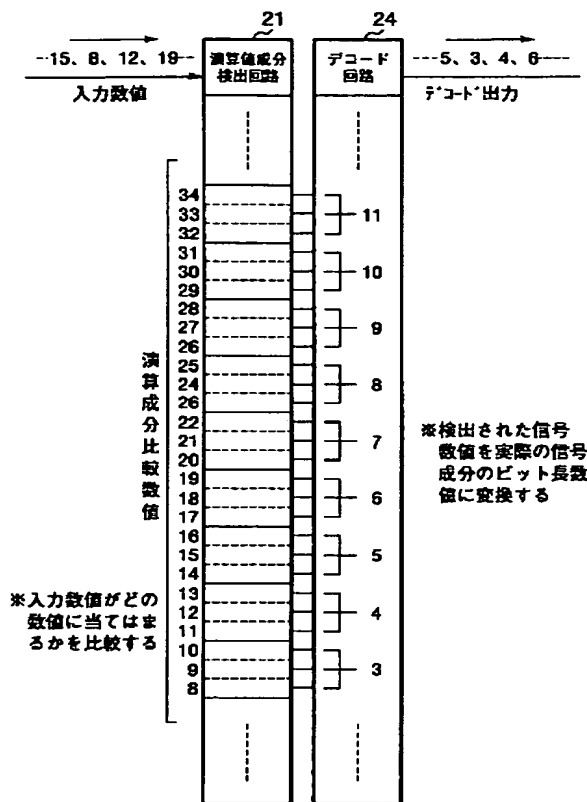
【図3】



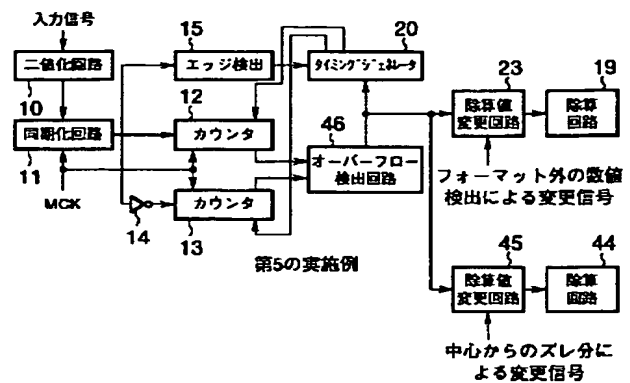
【図4】



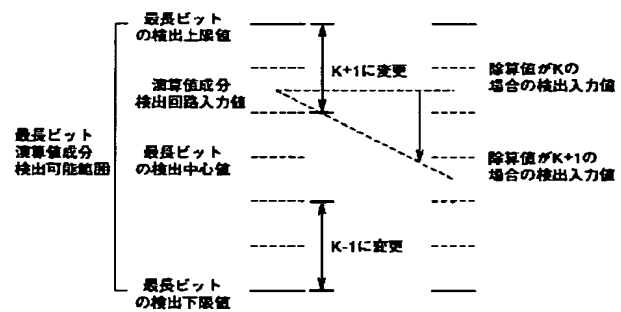
【図5】



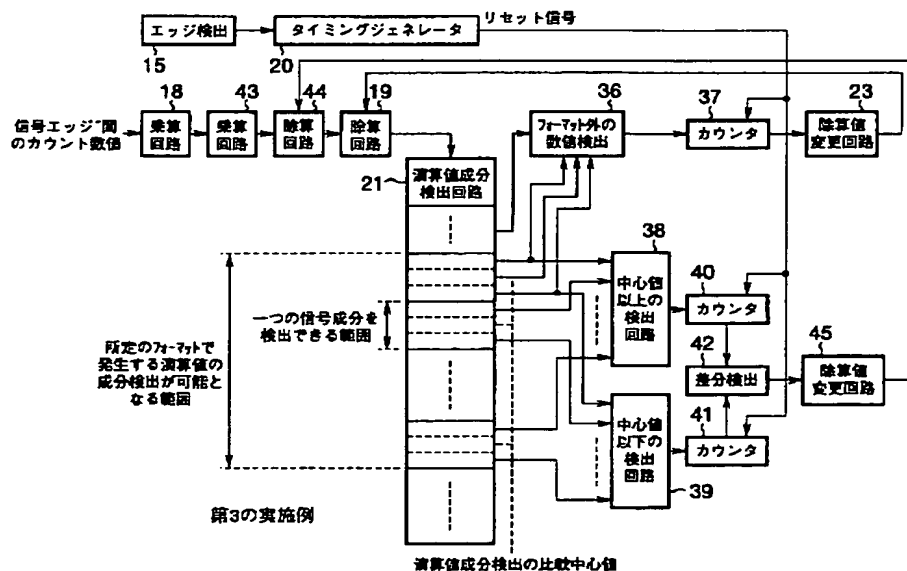
【図8】



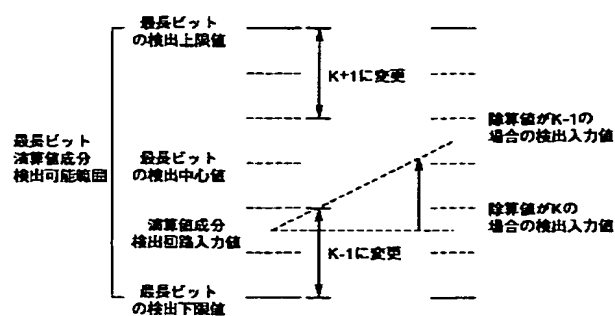
【図13】



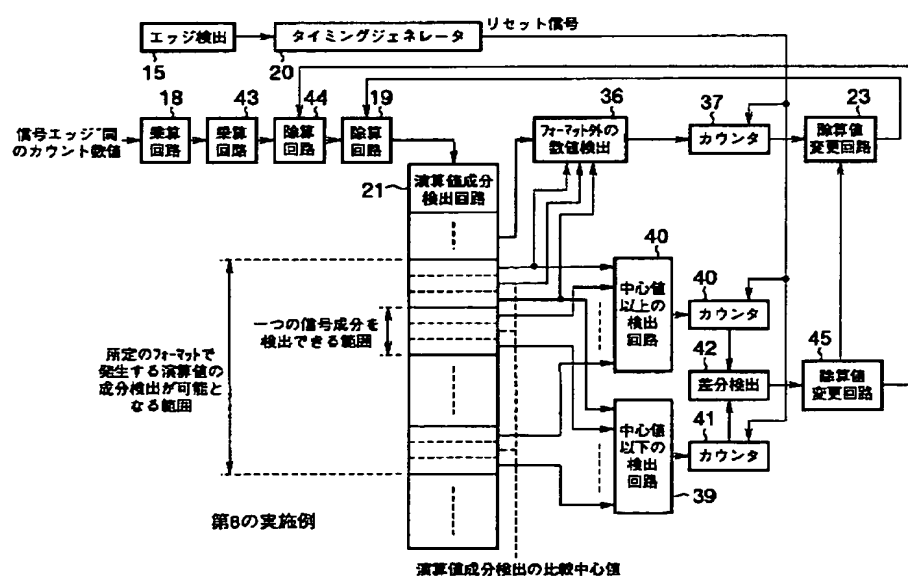
【図6】



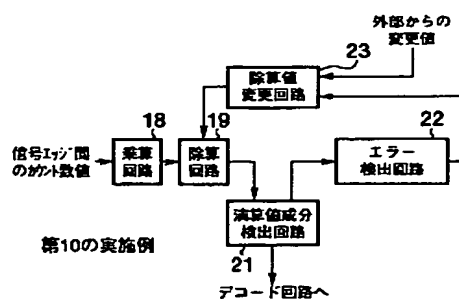
【图 14】



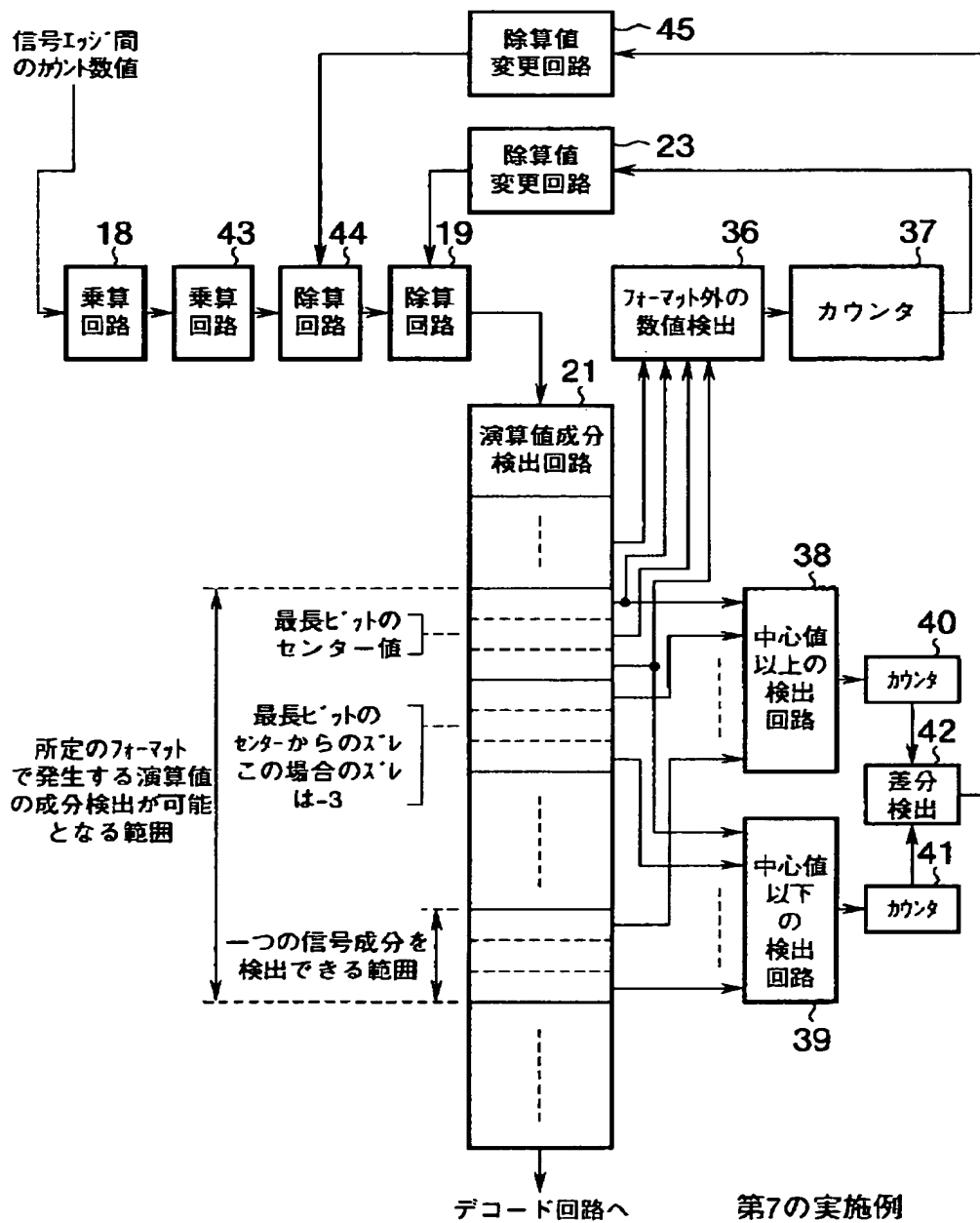
【图 12】



【图 17】



【図11】



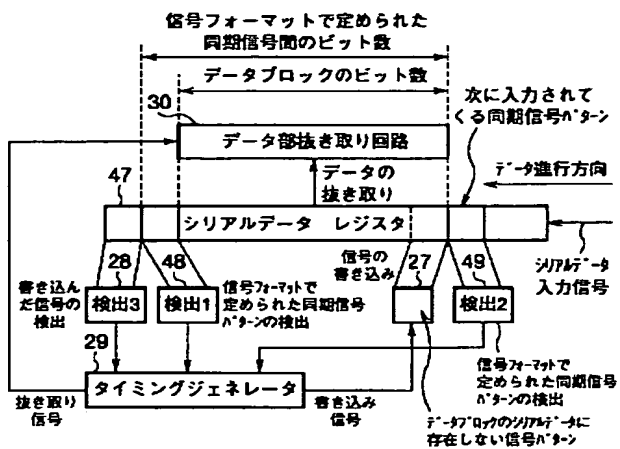
演算値成分検出回路の ----- は検出分割位置
(この図では1成分の分割数は3となっている)

最長ビット検出のセンター値とセンター値から α 離れた検出値の比率は

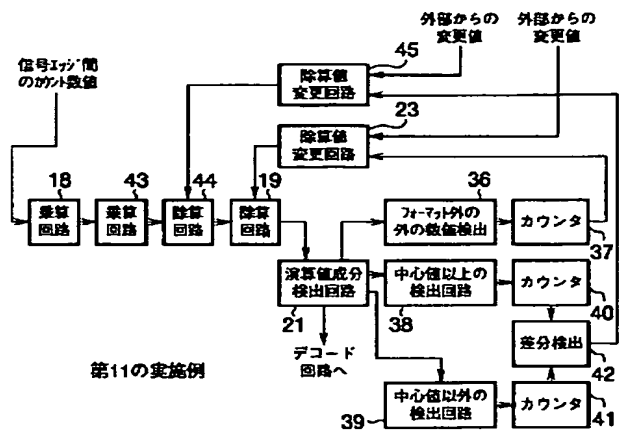
$$\left\{ \frac{(\text{最長ビットの成分値} \times \text{分割数}) \pm \alpha}{\text{最長ビットの成分値} \times \text{分割数}} \right\}$$

となる。

【図16】

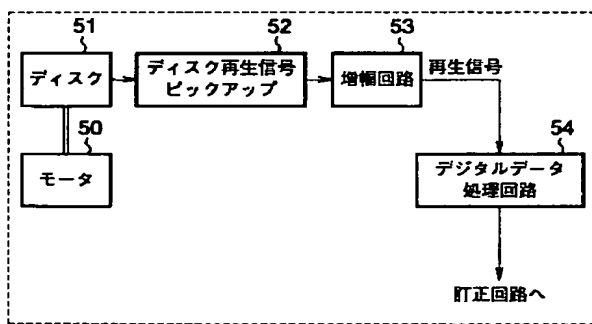


【図18】



第11の実施例

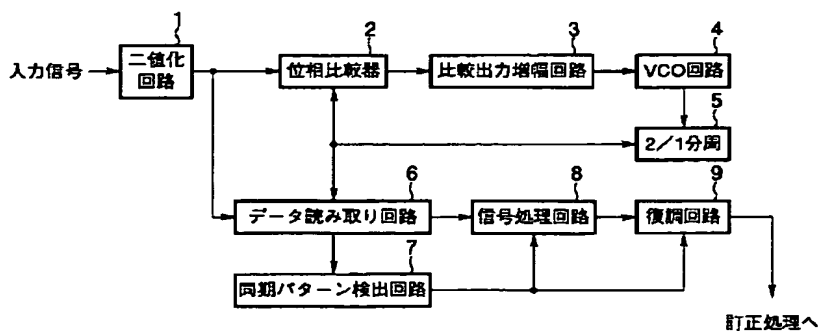
【図19】



デジタルディスク再生装置

第12の実施例

【図20】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.